

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163325

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.[°]

H 0 1 L 29/78
21/76

識別記号

F I

H 0 1 L 29/78
21/76
29/78

3 0 1 G
L
3 0 1 R

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号 特願平9-325572

(22) 出願日 平成9年(1997)11月27日

(71) 出願人 000005843

松下電子工業株式会社
大阪府高槻市幸町1番1号

(72) 発明者 上原 隆

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 平井 健裕

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 中岡 弘明

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

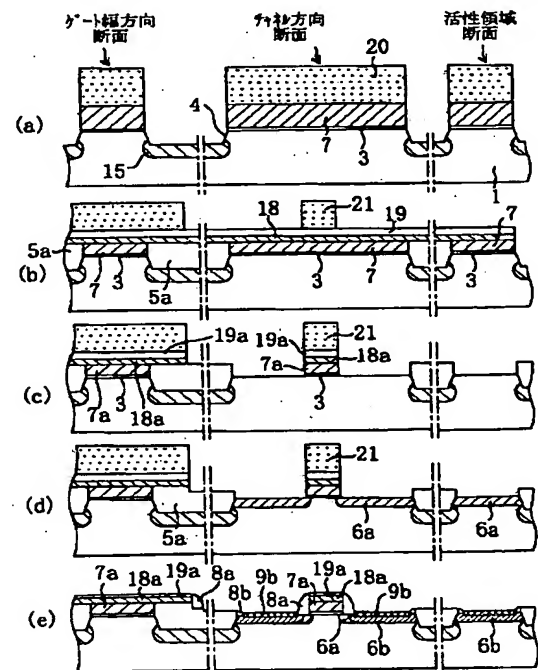
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 微細化が進んでも活性領域上が絶縁膜で埋め込まれることのない、かつ電気的特性のよい半導体装置を提供する。

【解決手段】 シリコン基板1上にポリシリコン膜7を形成し、これをエッチングストップパとして用いて活性領域を囲む溝部4を形成する。基板上に絶縁膜を堆積した後、平坦化を行って、溝部に絶縁膜を埋め込んで溝型の素子分離5aを形成する。基板上に導体膜18を堆積し、導体膜18及びポリシリコン膜7をパターニングして、下部ゲート電極7a及び上部ゲート電極18aを形成する。その後、上部ゲート電極18aで覆われていない素子分離5aを選択的にエッチングして、素子分離5aとシリコン基板1との段差を小さくする。ゲート電極下方では大きな段差が存在するのでチャネル領域への横方向の電界の印加が生ぜず、他の領域では段差が小さいので活性領域が絶縁膜で埋め込まれることもない。



1

【特許請求の範囲】

【請求項 1】 半導体基板と、

上記半導体基板の一部に設けられた活性領域と、
上記活性領域を取り囲む絶縁性材料からなる溝型素子分離と、

上記活性領域と上記溝型素子分離とに跨るゲート電極と、
上記ゲート電極の側面上に形成された絶縁体サイドウォールとを備え、

上記ゲート電極の下方となる領域においては上記溝型素子分離の方が上記活性領域内の上記半導体基板よりも高くなった段差が形成されている一方、上記ゲート電極で覆われていない領域においては上記溝型素子分離と活性領域の半導体基板との高低差が上記段差よりも小さいことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
上記ゲート電極で覆われていない領域における上記溝型素子分離と活性領域の半導体基板とはほぼ同じ上面高さを有することを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、
上記ゲート電極で覆われていない領域における上記溝型素子分離の上面と上記活性領域内の半導体基板との間の高低差は、上記ゲート電極の下方となる領域における上記溝型素子分離と上記活性領域内の半導体基板との段差の $1/2$ 以下であることを特徴とする半導体装置。

【請求項 4】 半導体基板と、
上記半導体基板の一部に設けられた活性領域と、
上記活性領域を取り囲む絶縁性材料からなる溝型素子分離と、
上記活性領域及び上記溝型素子分離に跨る上部ゲート電極と、上記活性領域上にのみ形成された下部ゲート電極とからなるゲート電極と、
上記ゲート電極の側面上に形成された絶縁体サイドウォールとを備え、
上記上部ゲート電極で覆われていない領域における上記溝型素子分離の上面の高さ位置は、上記下部ゲート電極の上面の高さ位置と上記活性領域内の上記半導体基板上面の高さ位置との間にあることを特徴とする半導体装置。

【請求項 5】 半導体基板と、
上記半導体基板の一部に設けられた活性領域と、
上記活性領域を取り囲む絶縁性材料からなる溝型素子分離と、
上記活性領域上に形成され上記溝型素子分離と同じ上面位置を有する下部ゲート電極と、上記活性領域から上記溝型素子分離に跨る上部ゲート電極とからなるゲート電極と、
上記ゲート電極の側面上に形成された絶縁体サイドウォールとを備え、
上記上部ゲート電極の下方となる領域においては上記溝

2

型素子分離の方が上記活性領域内の上記半導体基板よりも高くなった段差が形成されている一方、上記上部ゲート電極で覆われていない領域においては上記溝型素子分離と活性領域の半導体基板との高低差が上記段差よりも小さいことを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、
上記上部ゲート電極で覆われていない領域における上記溝型素子分離の上面の高さ位置と活性領域の半導体基板の上面の高さ位置とはほぼ同じであることを特徴とする半導体装置。

【請求項 7】 請求項 5 記載の半導体装置において、
上記上部ゲート電極で覆われていない領域における上記溝型素子分離の上面と上記活性領域内の半導体基板との間の高低差は、上記上部ゲート電極の下方となる領域における上記溝型素子分離と上記活性領域内の半導体基板との段差の $1/2$ 以下であることを特徴とする半導体装置。

【請求項 8】 半導体基板上に保護膜を堆積する第 1 の工程と、
上記保護膜に開口部を形成し、この開口部内の半導体基板をエッチングして溝部を形成する第 2 の工程と、
基板上に埋め込み用絶縁膜を堆積する第 3 の工程と、
上記埋め込み用絶縁膜を上記保護膜が露出するまでエッチングして、上記半導体基板と上記溝型素子分離との間に段差が存在するように、上記溝部内を上記埋め込み用絶縁膜で埋めてなる溝型素子分離を形成する第 4 の工程と、
上記保護膜を除去した後、基板上に導体膜を堆積する第 5 の工程と、
上記導体膜をパターンニングして、上記溝型素子分離で囲まれる活性領域から溝型素子分離に跨るゲート電極を形成する第 6 の工程と、
上記溝型素子分離のうち上記ゲート電極で覆われていない部分を選択的にエッチングする第 7 の工程と、
基板上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って上記ゲート電極の側面上に絶縁体サイドウォールを形成する第 8 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板上に第 1 の導体膜を堆積する第 1 の工程と、
上記第 1 の導体膜に開口部を形成し、この開口部内の半導体基板をエッチングして溝部を形成する第 2 の工程と、
基板上に埋め込み用絶縁膜を堆積する第 3 の工程と、
上記埋め込み用絶縁膜を上記第 1 の導体膜が露出するまでエッチングして、上記半導体基板と上記溝型素子分離との間に段差が存在するように、上記溝部内を上記埋め込み用絶縁膜で埋めてなる溝型素子分離を形成する第 4 の工程と、

上記溝型素子分離を選択的にエッチングする第 5 の工程

3

と、
基板上に第 2 の導体膜を堆積する第 6 の工程と、
上記第 1 及び第 2 の導体膜をパターンニングして、上記溝型素子分離で囲まれる活性領域から溝型素子分離に跨るゲート電極を形成する第 7 の工程と、
基板上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って上記ゲート電極の側面上に絶縁体サイドウォールを形成する第 8 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 10】 半導体基板上に第 1 の導体膜を堆積する第 1 の工程と、

上記第 1 の導体膜に開口部を形成し、この開口部内の半導体基板をエッチングして溝部を形成する第 2 の工程と、

基板上に埋め込み用絶縁膜を堆積する第 3 の工程と、
上記埋め込み用絶縁膜を上記第 1 の導体膜が露出するまでエッチングして、上記半導体基板と上記溝型素子分離との間に段差が存在するように、上記溝部内を上記埋め込み用絶縁膜で埋めてなる溝型素子分離を形成する第 4 の工程と、

基板上に第 2 の導体膜を堆積する第 5 の工程と、
上記第 2 の導体膜をパターンニングして、上記溝型素子分離で囲まれる活性領域から溝型素子分離に跨る上部ゲート電極を形成する第 6 の工程と、
上記溝型素子分離のうち上記上部ゲート電極で覆われていない部分を選択的にエッチングする第 7 の工程と、
上記第 1 の導体膜をパターンニングして、下部ゲート電極を形成する第 8 の工程と、

基板上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って上記ゲート電極の側面上に絶縁体サイドウォールを形成する第 9 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 11】 半導体基板上に第 1 の導体膜を堆積する第 1 の工程と、

上記第 1 の導体膜に開口部を形成し、この開口部内の半導体基板をエッチングして溝部を形成する第 2 の工程と、

基板上に埋め込み用絶縁膜を堆積する第 3 の工程と、
上記埋め込み用絶縁膜を上記第 1 の導体膜が露出するまでエッチングして、上記半導体基板と上記溝型素子分離との間に段差が存在するように、上記溝部内を上記埋め込み用絶縁膜で埋めてなる溝型素子分離を形成する第 4 の工程と、

基板上に第 2 の導体膜を堆積する第 5 の工程と、
上記第 1 及び第 2 の導体膜をパターンニングして、上記溝型素子分離で囲まれる活性領域から溝型素子分離に跨るゲート電極を形成する第 6 の工程と、
上記溝型素子分離のうち上記ゲート電極で覆われていない部分を選択的にエッチングする第 7 の工程と、

基板上にサイドウォール用絶縁膜を堆積した後、異方性

4

エッチングを行って上記ゲート電極の側面上に絶縁体サイドウォールを形成する第 8 の工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術の分野】本発明は、溝埋め込み分離型の素子分離を有する半導体装置の構造及びその製造方法の改良に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化、高性能化の進展にともない、益々微細化の要求が高まっている。そのため従来の技術の改良だけではそれらの要求に追随できず、新規技術導入が余儀なくされている技術分野もある。例えば素子分離形成方法として、従来はその製法の簡便さと低コスト性の観点から LOCOS 分離法により素子分離が形成されてきたが、最近では、より微細な半導体装置を形成するには溝埋め込み分離型の素子分離（以下、単に溝型素子分離という）を設けた方が有利であると考えられてきている。

【0003】すなわち、LOCOS 分離法は、選択酸化の方式をとっているため、その酸化を防止するためのマスクとの境界でいわゆるバーズビークが発生し、実際のマスク寸法よりも素子領域側に分離領域の絶縁膜が侵入して寸法変化が生じ、この変化量が $0.5 \mu\text{m}$ 世代以降の微細化には許容できない数値となる。そのため、量産技術の分野においても寸法シフトのきわめて少ないトレンチ分離法への転換が始まりつつある。

【0004】図 8 は、従来のトレンチ分離と MOSFET とが設けられた半導体装置の例を示す断面図、図 9 は半導体装置の平面図を模式的に示す図であり、図 8 には、図 9 に示すチャネル方向断面、ゲート幅方向断面、活性領域断面における構造がそれぞれ示されている。また、図 10 は、図 8 に示すゲート幅方向断面における構造を拡大して示す断面図である。

【0005】図 8 に示すように、シリコン基板 101 には溝型の素子分離 105 a が形成されており、素子分離 105 a によって囲まれた活性領域上には、ゲート絶縁膜 103 a 及びゲート電極 107 a と、ゲート電極 107 a の両側面上の電極部サイドウォール 108 a とが設けられている。また、活性領域においてゲート電極 107 a の両側方に位置する領域に低濃度ソース・ドレイン領域 106 a と、高濃度ソース・ドレイン領域 106 b とが設けられ、素子分離 105 a の下方にチャネルストップ領域 115 が設けられている。さらに、シリコン酸化膜からなる層間絶縁膜 111 と、層間絶縁膜 111 上に形成された金属配線 112 と、層間絶縁膜 111 を貫通するコンタクトホール内に埋め込まれたタングステン等の導電性材料からなり、金属配線 112 とソース・ドレイン電極 109 c との間を接続するコンタクト部 113 とが設けられている。

5

【0006】ここで、このようなトレンチ分離構造を有する半導体装置においては、図10中の矢印に示すように、ゲート電極107aからチャネル領域に横方向からも電界が加わるので、MOSFETのI-V特性等が悪化するおそれがあった。

【0007】そこで、以上のような問題を防止できる技術として、特開平9-172063号公報に開示されているように、トレンチ分離の上面を基板面よりも高くするようにしたいわば段差付きトレンチ分離構造を形成する技術が知られている。図11(a)～(d)を参照しながら、このようなトレンチ構造を有する半導体装置の製造工程について説明する。

【0008】まず、図11(a)に示す工程で、シリコン基板101上に、ゲート酸化膜103及びMOS型トランジスタのゲート電極となるポリシリコン膜107を順次堆積し、その上に、素子分離形成領域を開口し活性領域を覆うフォトレジスト膜120をパターンニングする。このフォトレジスト膜120をマスクとして、上記ポリシリコン膜107及びゲート酸化膜103を選択的に除去し、さらに、シリコン基板101をエッチングして、素子分離領域となる溝部104を形成する。このとき、ポリシリコン膜107の膜厚は、100～200nm程度であり、ゲート酸化膜103の膜厚は10nm程度である。溝部104の深さは400nm程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャネルストップ領域115を形成する。つまり、相異なるレジストマスクを用いて、PMOSFETではN型不純物イオンを、NMOSFETではP型不純物イオンをそれぞれ溝部104の底部付近に注入する。

【0009】次に、フォトレジスト膜120を除去した後、溝部104の深さ及び残存するポリシリコン膜107の厚みを加えた値つまり溝部104の底からポリシリコン膜107の表面までの高さよりも十分な厚さの絶縁膜105（図示せず）を堆積し、化学的機械研磨（CMP）を行ってこの絶縁膜105をポリシリコン膜107の表面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域に、絶縁膜105で構成される溝型の素子分離105aが形成される。

【0010】次に、図11(b)に示す工程で、平坦化された基板上にゲート電極配線層となる導体膜118と絶縁膜からなる保護膜119とを堆積し、ゲート電極が形成される領域以外の領域を開口したフォトレジスト膜121を形成する。そして、このフォトレジスト膜121をマスクとして、ドライエッチングを行って、保護膜119a、上部ゲート電極118a及び下部ゲート電極107aをパターンニングする。この時点で、活性領域のシリコン基板101表面と素子分離105aの表面との間に十分な段差が設けられており、その段差は下部ゲ-

6

ト電極107aの膜厚とほぼ同程度である。

【0011】次に、図11(c)に示す工程で基板の全面上に絶縁膜108を堆積した後、図11(d)に示す工程で、この絶縁膜108の異方性エッチングを行って、ゲート電極107a等の側面上に電極部サイドウォール108aを形成する。その際、活性領域のシリコン基板101と素子分離105aとの間の段差部の側面上にも段差部サイドウォール108bが形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域106bを形成する。この時点でも、活性領域のシリコン基板101と素子分離105aとの間の段差部の高低差が十分確保されている。

【0012】その後の工程の図示は省略するが、層間絶縁膜111の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第1層目金属配線112の形成とを経て、溝埋め込み型分離構造を有するMOS型トランジスタが形成される。

【0013】このような構造の場合には、活性領域のシリコン基板101と素子分離105aとの間に素子分離105a側が高い段差部が形成されているので、ゲート電極からチャネル領域に向かう横方向の電界は生じないし、ゲートパターンニング時における残さの発生も生じないので、パターンニング工程の困難も回避することができる。

【0014】

【発明が解決しようとする課題】しかしながら、上述のようなトレンチ構造の素子分離を有する半導体装置では、以下のような問題があった。

【0015】すなわち、半導体装置の微細化が進み、図11(d)に示すように、デザインルールが0.25μm以下になると、素子分離105aの側面上に段差部サイドウォール108cが形成されているために、ソース・ドレイン領域が極端に狭くなる。あるいは、サイドウォール形成のための異方性エッチングを行う工程、つまり、図11(c)に示す状態から図11(d)に示す状態に移行する際に、ソース・ドレイン領域がシリコン酸化膜で埋め込まれてしまうおそれもある。

【0016】本発明は斯かる点に鑑みてなされたものであり、その目的は、上述のサイドウォール形成の際の活性領域の埋め込みなどを防止する手段を講ずることにより、溝型素子分離構造を有しながら極めて微細な半導体装置及びその製造方法を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明では請求項1～7に記載されている半導体装置に関する手段と、請求項8～11に記載されている半導体装置の製造方法に関する手段とを講じている。

【0018】本発明の第1の半導体装置は、請求項1に記載されているように、半導体基板と、上記半導体基板の一部に設けられた活性領域と、上記活性領域を取り囲

50

7

む絶縁性材料からなる溝型素子分離と、上記活性領域と上記溝型素子分離とに跨るゲート電極と、上記ゲート電極の側面上に形成された絶縁体サイドウォールとを備えている。そして、上記ゲート電極の下方となる領域においては上記溝型素子分離の方が上記活性領域内の上記半導体基板よりも高くなった段差が形成されている一方、上記ゲート電極で覆われていない領域においては上記溝型素子分離と活性領域の半導体基板との高低差が上記段差よりも小さい。

【0019】これにより、溝型素子分離上のゲート電極は必ず活性領域の半導体基板よりも高い構造となっているので、ゲート電極から活性領域に横方向の電界が印加されることはない。また、ゲート電極の下方以外の領域では溝型素子分離と活性領域の半導体基板との間の高低差が小さくなっているため、デザインルールが $0.25\mu\text{m}$ 以下程度に微細な半導体装置においても、ゲート電極の絶縁体サイドウォールを形成する際に活性領域がこの絶縁体で埋め込まれるのを回避できる構造となる。また、溝型素子分離の端部にサイドウォールが存在しても、両者の高低差が小さいのでサイドウォールの横方向の寸法も小さくて済み、活性領域の面積が広く確保される。したがって、微細化に適した特性のよい半導体装置が得られる。

【0020】請求項2に記載されているように、請求項1において、上記ゲート電極で覆われていない領域における上記溝型素子分離の上面の高さ位置と活性領域の半導体基板の上面の高さ位置とはほぼ同じであることが好ましい。

【0021】請求項3に記載されているように、請求項1において、上記ゲート電極で覆われていない領域における上記溝型素子分離の上面と上記活性領域内の半導体基板との間の高低差は、上記ゲート電極の下方となる領域における上記溝型素子分離と上記活性領域内の半導体基板との段差の $1/2$ 以下であることが好ましい。

【0022】本発明の第2の半導体装置は、請求項4に記載されているように、半導体基板と、上記半導体基板の一部に設けられた活性領域と、上記活性領域を取り囲む絶縁性材料からなる溝型素子分離と、上記活性領域及び上記溝型素子分離に跨る上部ゲート電極と上記活性領域上のみ形成された下部ゲート電極とからなるゲート電極と、上記ゲート電極の側面上に形成された絶縁体サイドウォールとを備えている。そして、上記上部ゲート電極で覆われていない領域における上記溝型素子分離上面の高さ位置は、上記下部ゲート電極上面の高さ位置と上記活性領域内の上記半導体基板上面の高さ位置との間にある。

【0023】これにより、溝型素子分離上のゲート電極は必ず活性領域の半導体基板よりも高い構造となっているので、ゲート電極から活性領域に横方向の電界が印加されることはない。また、下部電極の上面よりも低い位

8

置に溝型素子分離の上面があり両者間の高低差が小さいので、デザインルールが $0.25\mu\text{m}$ 以下程度に微細な半導体装置においても、ゲート電極の絶縁体サイドウォールを形成する際に活性領域がこの絶縁体で埋め込まれるのを回避できる構造となる。また、溝型素子分離の端部にサイドウォールが存在していても、高低差が小さいのでサイドウォールの横方向の寸法も小さくて済み、活性領域の面積が広く確保される。したがって、微細化に適した特性のよい半導体装置が得られる。

【0024】本発明の第3の半導体装置は、請求項5に記載されているように、半導体基板と、上記半導体基板の一部に設けられた活性領域と、上記活性領域を取り囲む絶縁性材料からなる溝型素子分離と、上記活性領域上に形成され上記溝型素子分離と同じ上面位置を有する上部ゲート電極と上記活性領域から上記溝型素子分離に跨る下部ゲート電極とからなるゲート電極と、上記ゲート電極の側面上に形成された絶縁体サイドウォールとを備えている。そして、上記上部ゲート電極の下方となる領域においては上記溝型素子分離の方が上記活性領域内の上記半導体基板よりも高くなった段差が形成されている一方、上記上部ゲート電極で覆われていない領域においては上記溝型素子分離と活性領域の半導体基板との高低差が上記段差よりも小さい。

【0025】これにより、溝型素子分離上のゲート電極は必ず活性領域の半導体基板よりも高い構造となっているので、ゲート電極から活性領域に横方向の電界が印加されることはない。また、ゲート電極の下方以外の領域では溝型素子分離と活性領域の半導体基板との高低差が小さくなっているため、デザインルールが $0.25\mu\text{m}$ 以下程度に微細な半導体装置においても、ゲート電極の絶縁体サイドウォールを形成する際に活性領域がこの絶縁体で埋め込まれるのを回避できる構造となる。また、溝型素子分離の端部にサイドウォールが存在していても、両者の高低差が小さいのでサイドウォールの横方向の寸法も小さくて済み、活性領域の面積が広く確保される。したがって、積層構造のゲート電極を備え、微細化に適した特性のよい半導体装置が得られる。

【0026】請求項6に記載されているように、請求項5において、上記上部ゲート電極で覆われていない領域における上記溝型素子分離と活性領域の半導体基板とはほぼ同じ上面高さを有していることが好ましい。

【0027】請求項7に記載されているように、請求項5において、上記上部ゲート電極で覆われていない領域における上記溝型素子分離の上面と上記活性領域内の半導体基板との間の高低差は、上記上部ゲート電極の下方となる領域における上記溝型素子分離と上記活性領域内の半導体基板との段差の $1/2$ 以下であることが好ましい。

【0028】本発明の第1の半導体装置の製造方法は、請求項8に記載されているように、半導体基板上に保護

膜を堆積する第1の工程と、上記保護膜に開口部を形成し、この開口部内の半導体基板をエッチングして溝部を形成する第2の工程と、基板上に埋め込み用絶縁膜を堆積する第3の工程と、上記埋め込み用絶縁膜を上記保護膜が露出するまでエッチングして、上記半導体基板と上記溝型素子分離との間に段差が存在するように、上記溝部内を上記埋め込み用絶縁膜で埋めてなる溝型素子分離を形成する第4の工程と、上記保護膜を除去した後、基板上に導体膜を堆積する第5の工程と、上記導体膜をパターンニングして、上記溝型素子分離で囲まれる活性領域から溝型素子分離に跨るゲート電極を形成する第6の工程と、上記溝型素子分離のうち上記ゲート電極で覆われていない部分を選択的にエッチングする第7の工程と、基板上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って上記ゲート電極の側面上に絶縁体サイドウォールを形成する第8の工程とを備えている。

【0029】この方法により形成された半導体装置においては、ゲート電極の下方における溝型素子分離と活性領域の半導体基板との間に、第4の工程で形成される段差が存在するので、ゲート電極から活性領域に横方向の電界が印加されることはない。また、第7の工程でゲート電極の下方以外の領域における溝型素子分離と活性領域の半導体基板との段差が小さくなるので、デザインルールが $0.25\mu\text{m}$ 以下程度に微細な半導体装置においても、ゲート電極の絶縁体サイドウォールを形成する際に活性領域がこの絶縁体で埋め込まれるのを回避できる。したがって、微細化に適した特性のよい半導体装置が形成される。

【0030】本発明の第2の半導体装置の製造方法は、請求項9に記載されているように、半導体基板上に第1の導体膜を堆積する第1の工程と、上記第1の導体膜に開口部を形成し、この開口部内の半導体基板をエッチングして溝部を形成する第2の工程と、基板上に埋め込み用絶縁膜を堆積する第3の工程と、上記埋め込み用絶縁膜を上記第1の導体膜が露出するまでエッチングして、上記半導体基板と上記溝型素子分離との間に段差が存在するように、上記溝部内を上記埋め込み用絶縁膜で埋めてなる溝型素子分離を形成する第4の工程と、上記溝型素子分離を選択的にエッチングする第5の工程と、基板上に第2の導体膜を堆積する第6の工程と、上記第1及び第2の導体膜をパターンニングして、上記溝型素子分離で囲まれる活性領域から溝型素子分離に跨るゲート電極を形成する第7の工程と、基板上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って上記ゲート電極の側面上に絶縁体サイドウォールを形成する第8の工程とを備えている。

【0031】この方法により形成された半導体装置においては、ゲート電極の下方における溝型素子分離と活性領域の半導体基板との間に段差が存在するので、ゲート電極から活性領域に横方向の電界が印加されることはな

い。また、第5の工程でゲート電極の下方以外の領域における溝型素子分離と活性領域の半導体基板との段差が小さくなるので、デザインルールが $0.25\mu\text{m}$ 以下程度に微細な半導体装置においても、ゲート電極の絶縁体サイドウォールを形成する際に活性領域がこの絶縁体で埋め込まれるのを回避できる。したがって、積層構造を有するゲート電極を備え、微細化に適した特性のよい半導体装置が形成される。

【0032】本発明の第3の半導体装置の製造方法は、請求項10に記載されているように、半導体基板上に第1の導体膜を堆積する第1の工程と、上記第1の導体膜に開口部を形成し、この開口部内の半導体基板をエッチングして溝部を形成する第2の工程と、基板上に埋め込み用絶縁膜を堆積する第3の工程と、上記埋め込み用絶縁膜を上記第1の導体膜が露出するまでエッチングして、上記半導体基板と上記溝型素子分離との間に段差が存在するように、上記溝部内を上記埋め込み用絶縁膜で埋めてなる溝型素子分離を形成する第4の工程と、基板上に第2の導体膜を堆積する第5の工程と、上記第2の導体膜をパターンニングして、上記溝型素子分離で囲まれる活性領域から溝型素子分離に跨る上部ゲート電極を形成する第6の工程と、上記溝型素子分離のうち上記上部ゲート電極で覆われていない部分を選択的にエッチングする第7の工程と、上記第1の導体膜をパターンニングして、下部ゲート電極を形成する第8の工程と、基板上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って上記ゲート電極の側面上に絶縁体サイドウォールを形成する第9の工程とを備えている。

【0033】この方法により形成された半導体装置においては、上部ゲート電極の下方における溝型素子分離と活性領域の半導体基板との間には第4の工程で形成された段差が存在するので、ゲート電極から活性領域に横方向の電界が印加されることはない。また、第7の工程でゲート電極の下方以外の領域における溝型素子分離と活性領域の半導体基板との段差が小さくなるので、デザインルールが $0.25\mu\text{m}$ 以下程度に微細な半導体装置においても、ゲート電極の絶縁体サイドウォールを形成する際に活性領域がこの絶縁体で埋め込まれるのを回避できる。しかも、第6の工程では、フルフラットの状態で上部ゲート電極を形成できる。したがって、積層構造を有する形状精度のよいゲート電極を備え、微細化に適した特性のよい半導体装置が形成される。

【0034】本発明の第4の半導体装置の製造方法は、請求項11に記載されているように、半導体基板上に第1の導体膜を堆積する第1の工程と、上記第1の導体膜に開口部を形成し、この開口部内の半導体基板をエッチングして溝部を形成する第2の工程と、基板上に埋め込み用絶縁膜を堆積する第3の工程と、上記埋め込み用絶縁膜を上記第1の導体膜が露出するまでエッチングし

11

存在するように、上記溝部内を上記埋め込み用絶縁膜で埋めてなる溝型素子分離を形成する第4の工程と、基板上に第2の導体膜を堆積する第5の工程と、上記第1及び第2の導体膜をパターニングして、上記溝型素子分離で囲まれる活性領域から溝型素子分離に跨るゲート電極を形成する第6の工程と、上記溝型素子分離のうち上記ゲート電極で覆われていない部分を選択的にエッチングする第7の工程と、基板上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って上記ゲート電極の側面上に絶縁体サイドウォールを形成する第8の工程とを備えている。

【0035】この方法により形成された半導体装置においては、上部ゲート電極の下方における溝型素子分離と活性領域の半導体基板との間には第4の工程で形成された段差が存在するので、ゲート電極から活性領域に横方向の電界が印加されることはない。また、第7の工程でゲート電極の下方以外の領域における溝型素子分離と活性領域の半導体基板との段差が小さくなるので、デザインルールが $0.25\mu\text{m}$ 以下程度に微細な半導体装置においても、ゲート電極の絶縁体サイドウォールを形成する際に活性領域がこの絶縁体で埋め込まれるのを回避できる。しかも、第6の工程では、フルフラットの状態でゲート電極を形成できる。したがって、積層構造を有する形状精度のよいゲート電極を備え、微細化に適した特性のよい半導体装置が形成される。

【0036】

【発明の実施の形態】（第1の実施形態）まず、第1の実施形態について、図1及び図2(a)～(e)を参照しながら説明する。図1は、本実施形態に係る半導体装置の構造を示す断面図であり、図2(a)～(e)は、図1に示す半導体装置の構造を実現するための製造工程を示す断面図である。ただし、図1及び図2(a)～(e)のいずれにおいても、図9に示すゲート幅方向断面、チャネル方向断面及び活性領域断面における構造が示されている。

【0037】図1において、P型のシリコン基板（又はウェル）1上に、シリコン基板1の表面付近の領域を多数の活性領域に区画する溝型の素子分離5aが形成されている。そして、チャネル方向断面及び活性領域断面においては素子分離5aの上面は活性領域のシリコン基板1の上面とはほぼ同じ高さになるように平坦化されている。一方、ゲート幅方向断面においては、素子分離5aの上面は活性領域のシリコン基板1よりも十分に高く、両者間には所定の段差（高低差）が存在している。この素子分離5aは、後述のようにシリコン基板1に形成された溝内に絶縁性材料を埋め込んで形成されたものである。そして、素子分離5aの底部には、後述のイオン注入などによってソース・ドレイン領域とは逆導電型のチャネルストップ領域15が形成されている。

【0038】そして、上記素子分離5aにより囲まれる

12

活性領域には、ゲート電極4、ゲート酸化膜3、電極部サイドウォール8a、低濃度ソース・ドレイン領域6a、高濃度ソース・ドレイン領域6bからなるMOSトランジスタが形成されている。さらに、ゲート電極7a及び高濃度ソース・ドレイン領域6bの上部は、それぞれチタンダイシリサイド(TiSi₂)で構成された上部ゲート電極9a及びソース・ドレイン電極9bが形成されている。

【0039】また、上記素子分離5aやゲート電極7a等が形成された基板の全面上には層間絶縁膜11及び第1層目金属配線12が形成されており、第1層目金属配線12はコンタクト部13を介して活性領域の上部ゲート電極9aやソース・ドレイン電極9bと接続されている。

【0040】次に、上記図1の構造を実現するための製造工程について、図2(a)～(e)を参照しながら説明する。

【0041】まず、図2(a)に示す工程で、シリコン基板1上に、エッチングストップ膜となるシリコン酸化膜16及びシリコン窒化膜17を堆積し、素子分離領域を開口し活性領域を覆うフォトリソ膜20をパターニングした後、フォトリソ膜20をマスクとして、上記シリコン窒化膜17及びシリコン酸化膜16を選択的に除去し、さらに、シリコン基板1をエッチングして、溝部4を形成する。このとき、シリコン窒化膜17の膜厚は100～200nmであり、シリコン酸化膜16の膜厚は10～20nmである。そして、溝部4の深さは400nm程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャネルストップ領域15を形成する。つまり、相異なるレジストマスクを用いて、PMOSFETではN型不純物イオンを、NMOSFETではP型不純物イオンをそれぞれ溝部4の底部付近に注入する。

【0042】次に、図2(b)に示す工程で、上記フォトリソ膜20を除去した後、溝部4の深さ及び残存するシリコン窒化膜17の厚みを加えた値つまり溝部4の底からシリコン窒化膜17の上面までの高さよりも十分な厚さの絶縁膜（図示せず）を堆積し、化学的機械研磨（CMP）を行ってこの絶縁膜をシリコン窒化膜17の上面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域に、絶縁膜で構成される溝型の素子分離5aが形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトリソ膜で活性領域の反転パターンを用いてエッチバックする方法などを用いてもよい。

【0043】その後、図示しないが、上記シリコン窒化膜17を磷酸ボイル液などを用いて除去し、さらにフッ酸系のウェットエッチング液などを用いてシリコン酸化膜16を除去して、活性領域のシリコン基板1表面を露

13

出させる。この時点で、活性領域のシリコン基板 1 の上面と素子分離 5 a の上面との間には 100~200 nm 程度の大きな段差が存在している。

【0044】次に、図 2 (c) に示す工程で、シリコン基板 1 及び素子分離 5 a の上にポリシリコン膜 7 を堆積し、その上に、ゲート電極が形成される領域以外の領域を開口したフォトレジスト膜 21 を形成する。

【0045】次に、図 2 (d) に示す工程で、フォトレジスト膜 21 をマスクとするドライエッチングによりポリシリコン膜 7 をパターニングして、ゲート電極 7 a を形成する。さらに、フォトレジスト膜 21 の開口領域において素子分離 5 a を構成するシリコン酸化膜のみを選択的にエッチングして、素子分離 5 a のうちゲート電極 7 a によって覆われていない部分の上面の位置を活性領域のシリコン基板 1 の面とほぼ同じ高さにする。この素子分離 5 a のみをエッチングする工程を有する点が本実施形態の特徴である。その結果、ゲート幅方向断面においては素子分離 5 a と活性領域との間に大きな段差が存在するが、チャネル方向断面及び活性領域断面においては、製造工程の終了時における段差がほとんどなくなるように、20~40 nm 程度の段差しか存在しない。

【0046】次に、図 2 (e) に示す工程で、基板の全表面上に絶縁膜（シリコン酸化膜）を堆積し（図示せず）、この絶縁膜の異方性エッチングを行って、ゲート電極 7 a の側面上に電極部サイドウォール 8 a を形成する。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域 6 b を形成する。

【0047】その後の工程の図示は省略するが、シリサイド工程による上部ゲート電極 9 a 及びソース・ドレイン電極 9 b の形成と、層間絶縁膜 11 の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第 1 層目金属配線 12 の形成とを経て、図 1 に示す溝埋め込み型分離構造を有する MOS 型トランジスタが形成される。

【0048】なお、上記工程では、LDD 構造を有するトランジスタを形成するために電極部サイドウォール 8 a 等を形成したが、ソース・ドレイン領域とチャネル領域との間に逆導電型の不純物を注入してパンチスルーストッパを設けるいわゆるポケット注入構造を有するトランジスタにおいても、電極部サイドウォール 8 a 等を形成することがあり、本発明はかかるポケット注入構造を有するトランジスタにも適用される。

【0049】本実施形態のごとく、0.25 μ m 以下のゲート長を有する MOS トランジスタを形成する場合には、活性領域の占有面積もできるだけ低減する必要がある。しかるに、上記従来のような段差付きのトレンチ構造を有する半導体装置においては、素子分離と活性領域との間の段差が大きいために活性領域（ソース・ドレイン領域）が狭められるとサイドウォール形成のために絶縁膜の異方性エッチングを行っても（図 2 (e) に示す

14

工程）、活性領域上に絶縁膜が埋め込まれるおそれがある。それに対し、本実施形態では、図 2 (d) に示す工程で、ゲート電極で覆われていない領域における素子分離 5 a と活性領域のシリコン基板 1 の上面との間にはほとんど段差がないので、サイドウォールの形成工程で活性領域上が絶縁膜によって埋め込まれるおそれがない。一方、図 1 に示す状態で、ゲート幅方向断面においては、素子分離 5 a の上面が活性領域のシリコン基板 1 の上面よりも高いので、図 10 に示すような素子分離上のゲート電極からチャネル領域に横方向に電界が生じることがない。したがって、従来の段差付きまたは段差なしのトレンチ分離構造における不具合を招くことなく、半導体装置の微細化を進めることができるのである。

【0050】また、本実施形態における半導体装置の製造工程においては、図 11 (a) ~ (d) に示す従来の段差付きトレンチ分離構造の製造工程と比べ、図 2

(d) に示す素子分離 5 a の厚みを低減する工程を加えているだけであり、その際、フォトレジスト膜 21 をそのまま使用すれば、フォトリソグラフィ工程の増加を招くことはない。

【0051】なお、本実施形態では溝部 4 を形成するためのエッチングマスクとしてシリコン窒化膜 17 を用いたが、この膜の材質はシリコン酸化膜よりもエッチング選択比の小さい材質であれば良く、例えばポリシリコン膜等で代用することも可能である。

【0052】また、本実施形態では、低抵抗化のために上部ゲート電極 9 a とソース・ドレイン電極 9 b とが同時に自己整合的にシリサイド化されたいわゆるサリサイド構造を有する実施形態について説明したが、ゲート電極をあらかじめポリサイド電極で形成し、後にソース・ドレイン電極のみシリサイド化した構造としてもよいことは言うまでもない。

【0053】（第 2 の実施形態）次に、図 3 及び図 4 (a) ~ (e) を参照しながら、第 2 の実施形態について説明する。図 3 は、本実施形態に係る半導体装置の構造を示す断面図であり、図 4 (a) ~ (e) は、図 3 に示す半導体装置の構造を実現するための製造工程を示す断面図である。ただし、図 3 及び図 4 (a) ~ (e) のいずれにおいても、図 9 に示すゲート幅方向断面、チャネル方向断面及び活性領域断面における構造が示されている。

【0054】図 3 に示すように、P 型のシリコン基板（又はウェル）1 上に、シリコン基板 1 の上面付近の領域を多数の活性領域に区画する溝型の素子分離 5 a が形成されている。そして、チャネル方向断面及び活性領域断面においては素子分離 5 a の上面は活性領域のシリコン基板 1 の上面とほぼ同じ高さになるように平坦化されている。一方、ゲート幅方向断面においては、素子分離 5 a の上面は活性領域のシリコン基板 1 よりも十分に高く、両者間には段差が存在する。この素子分離 5 a は、

15

後述のようにシリコン基板1に形成された溝内に絶縁性材料を埋め込んで形成されたものである。そして、素子分離5aの底部には、後述のイオン注入などによってソース・ドレイン領域と逆導電型のチャネルストップ領域15が形成されている。

【0055】そして、シリコン基板1上の素子分離5aで囲まれる活性領域内には、下部ゲート電極7a、上部ゲート電極18a及び保護膜19aと、下部及び上部ゲート電極7a、18aの側面上に形成された電極部サイドウォール8aと、低濃度ソース・ドレイン領域6a及び高濃度ソース・ドレイン領域6bと、高濃度ソース・ドレイン領域6bの上に形成されたシリサイドからなるソース・ドレイン電極9bとからなるMOSFETが設けられている。

【0056】さらに、活性領域のシリコン基板1と素子分離5aとの間の段差部の側面上には段差部サイドウォール8bが形成されている。また、上記素子分離5aや下部及び上部ゲート電極7a、18a等が形成された基板の全面上には層間絶縁膜11及び第1層目金属配線12が形成されており、第1層目金属配線12はコンタクト部13を介して上部ゲート電極18aやソース・ドレイン電極9bと接続されている。

【0057】ここで、本実施形態では、ゲート幅方向断面においては素子分離5aの上面と活性領域のシリコン基板1の上面との間には100～200nm程度の段差が存在する。一方、チャネル方向断面及び活性領域断面においては、ほとんど段差は存在せず、高々素子分離5aの上面と活性領域のシリコン基板1の上面との間にはほとんど段差は存在しない。

【0058】次に、図3に示す半導体装置の製造方法について、図4(a)～(e)を参照しながら説明する。溝型素子分離を形成する前にゲート酸化膜及びゲート電極となるポリシリコン膜の堆積を終了している点である。

【0059】まず、図4(a)に示す工程で、シリコン基板1上に、ゲート酸化膜3及びMOS型トランジスタの下部ゲート電極となるポリシリコン膜7を順次堆積し、その上に、素子分離形成領域を開口し活性領域を覆うフォトレジスト膜20をパターニングする。このように、溝型素子分離を形成する前にゲート酸化膜及びゲート電極となるポリシリコン膜の堆積を終了している点は上記第1の実施形態における半導体装置の製造方法と異なっている。このフォトレジスト膜20をマスクとして、上記ポリシリコン膜7及びゲート酸化膜3を選択的に除去し、さらに、シリコン基板1をエッチングして、素子分離領域となる溝部4を形成する。このとき、ポリシリコン膜7の膜厚は、上記第1の実施形態におけるシリコン窒化膜とはほぼ同じ程度つまり100～200nm程度にしておき、ゲート酸化膜3の膜厚は10nm程度である。溝部4の深さは、400nm程度である。その

16

後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャネルストップ領域15を形成する。つまり、相異なるレジストマスクを用いて、PMOSFETではN型不純物イオンを、NMOSFETではP型不純物イオンをそれぞれ溝部4の底部付近に注入する。

【0060】次に、フォトレジスト膜20を除去した後、溝部4の深さ及び残存するポリシリコン膜7の厚みを加えた値つまり溝部4の底からポリシリコン膜7の上面までの高さよりも十分な厚さの絶縁膜(図示せず)を堆積し、化学的機械研磨(CMP)を行ってこの絶縁膜をポリシリコン膜7の上面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域に、絶縁膜で構成される溝型の素子分離5aが形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で活性領域の反転パターンを用いてエッチバックする方法などを用いてもよい。

【0061】次に、図4(b)に示す工程で、平坦化された基板上にゲート電極配線層となる導体膜18(導電性ポリシリコン膜でもよいし、WSiやTiSi等のシリサイド膜でもよい。さらに低抵抗化のためにTiN等のバリアメタルを介してW等の高融点金属を用いてもよい。)と絶縁膜からなる保護膜19とを堆積し、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜21を形成する。

【0062】そして、図4(c)に示す工程で、フォトレジスト膜21をマスクとするドライエッチングにより上記保護膜19、導体膜18及びポリシリコン膜7をパターニングして、下部ゲート電極7a、上部ゲート電極18a及び保護膜19aを形成する。この時点では、チャネル方向断面と活性領域断面においても、活性領域のシリコン基板1の上面と素子分離5aの上面との間に100～200nm程度の段差が存在する。

【0063】次に、図4(d)に示す工程で、フォトレジスト膜21の開孔領域において素子分離5aを構成するシリコン酸化膜のみを選択的にエッチングして、素子分離5aのうち、下部及び上部ゲート電極7a、18aで覆われていない部分の上面の位置を低くして、素子分離5aと活性領域のシリコン基板1との段差を小さくする。この段差を小さくする工程を有する点が本実施形態の特徴である。その結果、ゲート幅方向断面においては素子分離5aと活性領域との間に大きな段差が存在し、チャネル方向断面及び活性領域断面においては、製造工程の終了時に両者間に段差がほとんどないように20～40nm程度の小さな段差しか存在しない。その後、低濃度の不純物イオンの注入を行って、活性領域内の下部及び上部ゲート電極7a、18aの両側に位置する領域に低濃度ソース・ドレイン領域6aを形成する。

【0064】次に、図4(e)に示す工程で、フォトレ

17

ジスト膜 21 を除去した後、第 1 の実施形態と同様に、基板の全面上に絶縁膜（シリコン酸化膜）を堆積し、この絶縁膜の異方性エッチングを行って、下部及び上部ゲート電極 7 a、18 a 等の側面上に電極部サイドウォール 8 a を形成する。その際、素子分離 5 a とシリコン基板 1 の表面との段差をなくすようにしておけばサイドウォールは形成されず、活性領域上に広い面積のソース・ドレイン電極 9 b が形成される。また、段差があると活性領域のシリコン基板 1 と素子分離 5 a との間の段差部の側面上にも段差部サイドウォール 8 b が形成されるが、段差が小さいことから段差部サイドウォール 8 b の横方向の寸法は極めて小さい。したがって、活性領域上のソース・ドレイン電極 9 b の面積を広く確保することができる。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域 6 b を形成する。さらに、高濃度ソース・ドレイン領域 6 b の上のみにシリサイドからなるソース・ドレイン電極 9 b を形成する。

【0065】その後の工程の図示は省略するが、層間絶縁膜 11 の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第 1 層目金属配線 12 の形成とを経て、図 3 に示す構造を有する MOS 型トランジスタが形成される。ただし、本実施形態では、下部ゲート電極 7 a の上に、導電性ポリシリコン、あるいはシリサイド等からなる上部ゲート電極 18 a と、絶縁膜からなる保護膜 19 a とが形成され、シリサイドからなるソース・ドレイン電極 9 b は上部ゲート電極 18 a とは別の工程で形成されている。

【0066】なお、上記工程では、LDD 構造を有するトランジスタを形成するために電極部サイドウォール 8 a 等を形成したが、ソース・ドレイン領域とチャネル領域との間に逆導電型の不純物を注入してパンチスルーストップバを設けるいわゆるポケット注入構造を有するトランジスタにおいても、電極部サイドウォール 8 a 等を形成することがあり、本発明はかかるポケット注入構造を有するトランジスタにも適用される。

【0067】以上のように、本実施形態によれば、ゲート幅方向断面（ゲート電極で覆われている領域）では素子分離 5 a と活性領域との間に大きな段差が存在するが、チャネル方向断面及び活性領域断面（ゲート電極で覆われていない領域）においては両者間にはほとんど段差はなく、あっても小さな段差しか存在しない。したがって、上記第 1 の実施形態と同様の効果を発揮することができる。

【0068】また、本実施形態における半導体装置の製造工程においても、図 9 に示す従来の段差付きトレンチ分離構造の製造工程と比べ、図 4 (d) に示す素子分離 5 a の厚みを低減する工程を加えているだけであり、その際、フォトリソグレイ工程の増加を招くことはない。

18

【0069】加えて、本実施形態では、図 4 (b) に示す状態からゲート電極 7 a 及びゲート配線 7 b をパターニングする工程を、素子分離 5 a の端部における段差部の影響を全く受けることなくフルフラットな状態で実施できるため、微細パターンを安定に形成できるという利点がある。

【0070】（第 3 の実施形態）次に、図 5 及び図 6 (a) ~ (e) を参照しながら、第 3 の実施形態について説明する。図 5 は、本実施形態に係る半導体装置の構造を示す断面図であり、図 6 (a) ~ (e) は、図 4 に示す半導体装置の構造を実現するための製造工程を示す断面図である。ただし、図 5 及び図 6 (a) ~ (e) のいずれにおいても、図 9 に示すゲート幅方向断面、チャネル方向断面及び活性領域断面における構造が示されている。

【0071】図 5 に示すように、P 型のシリコン基板（又はウェル）1 上に、シリコン基板 1 の表面付近の領域を多数の活性領域に区画する溝型の素子分離 5 a が形成されている。そして、チャネル方向断面及び活性領域断面においては素子分離 5 a の上面は活性領域のシリコン基板 1 の上面とはほぼ同じ高さになるように平坦化されている。一方、ゲート幅方向断面においては、素子分離 5 a の上面は活性領域のシリコン基板 1 よりも十分に高く、両者間には大きな段差が存在する。この素子分離 5 a は、後述のようにシリコン基板 1 に形成された溝内に絶縁性材料を埋め込んで形成されたものである。そして、素子分離 5 a の底部には、後述のイオン注入などによってソース・ドレイン領域とは逆導電型のチャネルストップ領域 15 が形成されている。

【0072】そして、シリコン基板 1 上の素子分離 5 a で囲まれる活性領域内には、下部ゲート電極 7 a、上部ゲート電極 18 a 及び保護膜 19 a と、下部及び上部ゲート電極 7 a、18 a の側面上に形成された電極部サイドウォール 8 a と、低濃度ソース・ドレイン領域 6 a 及び高濃度ソース・ドレイン領域 6 b と、高濃度ソース・ドレイン領域 6 b の上に形成されたシリサイドからなるソース・ドレイン電極 9 b とからなる MOSFET が設けられている。

【0073】さらに、活性領域のシリコン基板 1 と素子分離 5 a との間の段差部の側面上には段差部サイドウォール 8 b が形成されている。また、上記素子分離 5 a や下部及び上部ゲート電極 7 a、18 a 等が形成された基板の全面上には層間絶縁膜 11 及び第 1 層目金属配線 12 が形成されており、第 1 層目金属配線 12 はコンタクト部 13 を介して上部ゲート電極 18 a やソース・ドレイン電極 9 b と接続されている。

【0074】ここで、本実施形態では、ゲート幅方向断面においては素子分離 5 a の上面と活性領域のシリコン基板 1 の上面との間には 100 ~ 200 nm 程度の段差が存在する。一方、チャネル方向断面及び活性領域断面

19

においては、素子分離5aの上面と活性領域のシリコン基板1の上面との間にはほとんど段差は存在しない。

【0075】次に、図5に示す半導体装置の製造方法について、図6(a)～(e)を参照しながら説明する。本実施形態と上記第1及び第2の実施形態とが異なる点は、溝型素子分離を形成して平坦化したときに素子分離のみをエッチングして素子分離と基板との段差を小さくする点である。

【0076】まず、図6(a)に示す工程で、シリコン基板1上に、ゲート酸化膜3及びMOS型トランジスタの下部ゲート電極となるポリシリコン膜7を順次堆積し、その上に、素子分離形成領域を開口し活性領域を覆うフォトレジスト膜20をパターンニングする。このフォトレジスト膜20をマスクとして、上記ポリシリコン膜7及びゲート酸化膜3を選択的に除去し、さらに、シリコン基板1をエッチングして、素子分離領域となる溝部4を形成する。このとき、ポリシリコン膜7の膜厚は、上記第1の実施形態におけるシリコン窒化膜とはほぼ同じ程度つまり100～200nm程度にしておく、ゲート酸化膜3の膜厚は10nm程度である。溝部4の深さは、400nm程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャネルストップ領域15を形成する。つまり、相異なるレジストマスクを用いて、PMOSFETではN型不純物イオンを、NMOSFETではP型不純物イオンをそれぞれ溝部4の底部付近に注入する。

【0077】次に、図6(b)に示す工程で、フォトレジスト膜20を除去した後、溝部4の深さ及び残存するポリシリコン膜7の厚みを加えた値つまり溝部4の底からポリシリコン膜7の上面までの高さよりも十分な厚さの絶縁膜(図示せず)を堆積し、化学的機械研磨(CMP)を行ってこの絶縁膜をポリシリコン膜7の上面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域に、絶縁膜で構成される溝型の素子分離5aが形成される。この時点では、いずれの断面においても、活性領域のシリコン基板1の上面と素子分離5aの上面との間には100～200nm程度の段差が存在する。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で活性領域の反転パターンを用いてエッチバックする方法などを用いてもよい。あるいは、溝型素子分離5aを選択的にエッチングしていき、シリコン基板1と同じ高さになる時点でエッチングを止めて、段差を揃えてもよい。

【0078】次に、図6(c)に示す工程で、シリコン酸化膜で構成される素子分離5aのみのエッチングを行って、素子分離5aの上面と活性領域のシリコン基板1の上面との段差を50～100nm程度に小さくする。この値は、製造工程の終了時における段差がほぼなくなるように定められる。

20

【0079】次に、図6(d)に示す工程で、基板上にゲート電極配線層となる導体膜18(導電性ポリシリコン膜でもよいし、WSiやTiSi等のシリサイド膜でもよい。さらに低抵抗化のためにTiN等のバリアメタルを介してW等の高融点金属を用いてもよい。)と絶縁膜からなる保護膜19とを堆積し、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜21を形成する。

【0080】そして、図6(e)に示す工程で、フォトレジスト膜21をマスクとするドライエッチングにより上記保護膜19、導体膜18及びポリシリコン膜7をパターンニングして、下部ゲート電極7a、上部ゲート電極18a及び保護膜19aを形成する。この時点で、チャネル方向断面および活性領域断面において、活性領域のシリコン基板1の上面と素子分離5aの上面との間の段差は、上述のように小さくなっている。その後、低濃度の不純物イオンの注入を行って、活性領域内の下部及び上部ゲート電極7a、18aの両側に位置する領域に低濃度ソース・ドレイン領域6aを形成する。さらに、フォトレジスト膜21を除去した後、第1の実施形態などと同様に、基板の全面上に絶縁膜(シリコン酸化膜)を堆積し、この絶縁膜の異方性エッチングを行って、下部及び上部ゲート電極7a、18a等の側面上に電極部サイドウォール8aを形成する。その際、活性領域のシリコン基板1と素子分離5aとの間の段差部の側面上にも段差部サイドウォール8bが形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域6bを形成する。

【0081】その後の工程の図示は省略するが、層間絶縁膜11の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第1層目金属配線12の形成を経て、図3に示す構造を有するMOS型トランジスタが形成される。

【0082】ただし、本実施形態では、高濃度ソース・ドレイン領域6b上にシリサイドからなるソース・ドレイン電極を形成していないが、これを形成してもよいことはいふまでもない。

【0083】なお、上記工程では、LDD構造を有するトランジスタを形成するために電極部サイドウォール8a等を形成したが、ソース・ドレイン領域とチャネル領域との間に逆導電型の不純物を注入してパンチスルーストップを設けるいわゆるポケット注入構造を有するトランジスタにおいても、電極部サイドウォール8a等を形成することがあり、本発明はかかるポケット注入構造を有するトランジスタにも適用される。

【0084】以上のように、本実施形態によれば、ゲート幅方向断面(ゲート電極で覆われている領域)では素子分離5aと活性領域との間に大きな段差が存在するが、チャネル方向断面及び活性領域断面(ゲート電極で覆われていない領域)において、素子分離5aと活性領

域との間にほとんど段差が存在せず、あるいは段差があっても大きな段差が存在しないので、上記第1の実施形態と同様の効果を発揮することができる。

【0085】また、本実施形態における半導体装置の製造工程においても、図11(a)～(e)に示す従来の段差付きトレンチ分離構造の製造工程と比べ、図6

(d)に示す素子分離5aの厚みを低減する工程を加えているだけであり、その際、フォトリソグロフィー工程の増加を招くことはない。

【0086】(第4の実施形態)次に、第4の実施形態について、図7(a)～(e)を参照しながら説明する。本実施形態では、半導体装置の構造は第2の実施形態における図3に示す構造とほぼ同様であるので説明を省略し、製造工程についてのみ説明する。

【0087】本実施形態と上記第2の実施形態とが異なる点は、積層膜からなるゲート電極を全てパターニングしてからではなく、上部ゲート電極膜のパターニングを終了した時点で素子分離と基板面との段差を小さくする工程を行う点である。

【0088】まず、図7(a)に示す工程で、シリコン基板1上に、ゲート酸化膜3及びMOS型トランジスタの下部ゲート電極となるポリシリコン膜7を順次堆積し、その上に、素子分離形成領域を開口し活性領域を覆うフォトリソグロフィー膜20をパターニングする。このフォトリソグロフィー膜20をマスクとして、上記ポリシリコン膜7及びゲート酸化膜3を選択的に除去し、さらに、シリコン基板1をエッチングして、素子分離領域となる溝部4を形成する。このとき、ポリシリコン膜7の膜厚は、上記第1の実施形態におけるシリコン窒化膜とほぼ同じ程度つまり100～200nm程度にしておく、ゲート酸化膜3の膜厚は10nm程度である。溝部4の深さは、400nm程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャネルストップ領域15を形成する。つまり、相異なるレジストマスクを用いて、PMOSFETではN型不純物イオンを、NMOSFETではP型不純物イオンをそれぞれ溝部4の底部付近に注入する。

【0089】次に、フォトリソグロフィー膜20を除去した後、溝部4の深さ及び残存するポリシリコン膜7の厚みを加えた値つまり溝部4の底からポリシリコン膜7の上面までの高さよりも十分な厚さの絶縁膜(図示せず)を堆積し、化学的機械研磨(CMP)を行ってこの絶縁膜をポリシリコン膜7の上面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域に、絶縁膜で構成される溝型の素子分離5aが形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトリソグロフィー膜で活性領域の反転パターンを用いてエッチバックする方法などを用いてもよ

い。

【0090】次に、図7(b)に示す工程で、平坦化された基板の上にゲート電極配線層となる導体膜18(導電性ポリシリコン膜でもよいし、WSiやTiSi等のシリサイド膜でもよい。さらに低抵抗化のためにTiN等のバリアメタルを介してW等の高融点金属を用いてもよい。)と絶縁膜からなる保護膜19とを堆積し、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトリソグロフィー膜21を形成する。

【0091】そして、図7(c)に示す工程で、フォトリソグロフィー膜21をマスクとするドライエッチングにより上記保護膜19及び導体膜18をパターニングして、上部ゲート電極18a及び保護膜19aを形成する。この時点では、いずれの断面においても、活性領域のシリコン基板1の上面と素子分離5aの上面との間に100～200nm程度の段差が存在する。

【0092】次に、図7(d)に示す工程で、下部ゲート電極となるポリシリコン膜7で覆われていない素子分離5aのみを選択的にエッチングして、ポリシリコン膜7で覆われていない部分の上面の位置を低くして、素子分離5aと活性領域のシリコン基板1のとの間の段差をほとんどなくするようにする。その結果、ゲート幅方向断面においては素子分離5aと活性領域との間に大きな段差が存在し、チャネル方向断面及び活性領域断面においては、製造工程の終了時における段差がほとんど存在しないように、20～40nmの小さな段差のみ存在する。

【0093】次に、図7(e)に示す工程で、フォトリソグロフィー膜21をそのまま使用してポリシリコン膜7のパターニングして下部ゲート電極7aを形成する。その後、低濃度の不純物イオンの注入を行って、活性領域内の下部及び上部ゲート電極7a、18aの両側に位置する領域に低濃度ソース・ドレイン領域6aを形成する。さらに、フォトリソグロフィー膜21を除去した後、第1の実施形態と同様に、基板の全面上に絶縁膜(シリコン酸化膜)を堆積し、この絶縁膜の異方性エッチングを行って、下部及び上部ゲート電極7a、18a等の側面上に電極部サイドウォール8aを形成する。その際、活性領域のシリコン基板1と素子分離5aとの間の段差部の側面上にも段差部サイドウォール8bが形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域6bを形成する。さらに、高濃度ソース・ドレイン領域6bの上のみにシリサイドからなるソース・ドレイン電極9bを形成する。

【0094】その後の工程の図示は省略するが、層間絶縁膜11の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第1層目金属配線12の形成とを経て、図3に示す構造を有するMOS型トランジスタが形成される。ただし、本実施形態では、下部ゲート電極7aの上に、導電性ポリシリコン、あるい

23

はシリサイド等からなる上部ゲート電極 18a と、絶縁膜からなる保護膜 19a とが形成され、シリサイドからなるソース・ドレイン電極 9b は上部ゲート電極 18a とは別の工程で形成されている。

【0095】なお、上記工程では、LDD 構造を有するトランジスタを形成するために電極部サイドウォール 8a 等を形成したが、ソース・ドレイン領域とチャネル領域との間に逆導電型の不純物を注入してパンチスルーストップを設けるいわゆるポケット注入構造を有するトランジスタにおいても、電極部サイドウォール 8a 等を形成することがあり、本発明はかかるポケット注入構造を有するトランジスタにも適用される。

【0096】以上のように、本実施形態によれば、ゲート幅方向断面（ゲート電極で覆われている領域）では素子分離 5a と活性領域との間に大きな段差が存在するが、チャネル方向断面及び活性領域断面（ゲート電極で覆われていない領域）においては両者間にはほとんど段差はなく、あるいは段差があっても小さな段差しか存在しない。したがって、上記第 1 の実施形態と同様の効果を発揮することができる。

【0097】また、本実施形態における半導体装置の製造工程においても、図 11 (a) ~ (e) に示す従来の段差付きトレンチ分離構造の製造工程と比べ、図 7

(d) に示す素子分離 5a の厚みを低減する工程を加えているだけであり、その際、フォトレジスト膜 21 をそのまま使用しているため、フォトリソグラフィ工程の増加を招くことはない。

【0098】（その他の実施形態）なお、上記各実施形態において、ゲート電極以外に素子分離上に延びるゲート配線や、ゲート電極パターニング時にパターニング精度を上げるためにラインアンドスペースパターンを形成するためのダミーゲートを設けたものについてもそのまま適用することができる。

【0099】また、上記各実施形態のいずれにおいても、ゲート電極の下方では素子分離の上面と活性領域の基板面との段差を大きくしたままで、ゲート電極で覆われていない領域では、素子分離の上面と活性領域の基板面との段差を小さくするか、両者の段差をなくするか、素子分離の上面を活性領域の基板面よりも低くするかの 3 通りの形態が可能である。

【0100】上記各実施形態において、上記低濃度ソース・ドレイン領域 6a は必ずしも設ける必要はない。

【0101】

【発明の効果】請求項 1 ~ 3 の半導体装置によれば、溝型素子分離構造を有する半導体装置において、ゲート電極の下方となる領域においては溝型素子分離の方が上記活性領域内の上記半導体基板よりも高くなった段差を設けて、ゲート電極から活性領域に横方向の電界が印加されるのを防止しながら、ゲート電極の下方以外の領域では溝型素子分離と活性領域の半導体基板との高低差をで

24

きるだけ小さくすることで、デザインルールが 0.25 μm 以下程度に微細な半導体装置においても、活性領域がサイドウォール用絶縁膜で埋め込まれることなく広い活性領域が確保されてコンタクト抵抗の上昇を抑制することができ、よって、微細化に適した特性のよい半導体装置を得ることができる。

【0102】請求項 1 ~ 3 の半導体装置の構造は、請求項 8 の半導体装置の製造方法により容易に実現することができる。

【0103】請求項 4 の半導体装置によれば、溝型素子分離と上部ゲート電極及び下部ゲート電極からなるゲート電極とを有する半導体装置において、溝型素子分離の上面を下部ゲート電極の上面と活性領域の半導体基板の上面との間に位置させる構成としたので、ゲート電極から活性領域に横方向の電界が印加されるのを防止しながら、溝型素子分離と活性領域の半導体基板との高低差をできるだけ小さくすることで、デザインルールが 0.25 μm 以下程度に微細な半導体装置においても、活性領域がサイドウォール用絶縁膜で埋め込まれることなく広い活性領域が確保されてコンタクト抵抗の上昇を抑制することができ、よって、積層構造のゲート電極を有し微細化に適した特性のよい半導体装置を得ることができる。

【0104】請求項 4 の半導体装置の構造は、請求項 9 の半導体装置の製造方法により容易に実現することができる。

【0105】請求項 5 ~ 7 の半導体装置によれば、溝型素子分離と上部ゲート電極及び下部ゲート電極からなるゲート電極とを有する半導体装置において、上部ゲート電極の下方となる領域においては溝型素子分離の方が上記活性領域内の上記半導体基板よりも高い段差を設けて、ゲート電極から活性領域に横方向の電界が印加されるのを防止しながら、上部ゲート電極の下方以外の領域では溝型素子分離と活性領域の半導体基板との高低差をできるだけ小さくすることで、デザインルールが 0.25 μm 以下程度に微細な半導体装置においても、活性領域がサイドウォール用絶縁膜で埋め込まれることなく広い活性領域が確保されてコンタクト抵抗の上昇を抑制することができ、よって、積層構造のゲート電極を有し微細化に適した特性のよい半導体装置を得ることができる。

【0106】請求項 5 ~ 7 の半導体装置の構造は、請求項 10 または 11 半導体装置の製造方法により容易に実現することができる。

【図面の簡単な説明】

【図 1】第 1 の実施形態における半導体装置の構造を示す断面図である。

【図 2】第 1 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 3】第 2 の実施形態における半導体装置の構造を示

25

す断面図である。

【図 4】第 2 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 5】第 3 の実施形態における半導体装置の構造を示す断面図である。

【図 6】第 3 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 7】第 4 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 8】従来の一般的な溝型素子分離構造を有する半導体装置の構造を示す断面図である。

【図 9】各断面図におけるゲート幅方向断面、チャネル方向断面及び活性領域断面の箇所を説明するための平面図である。

【図 10】従来の一般的な溝型素子分離を有する半導体装置における不具合を説明するために図 8 の一部を拡大して示す断面図である。

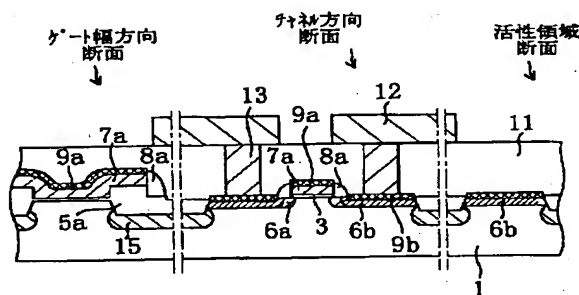
【図 11】従来の段差付きの溝型素子分離を有する半導体装置の製造工程を示す断面図である。

【符号の説明】

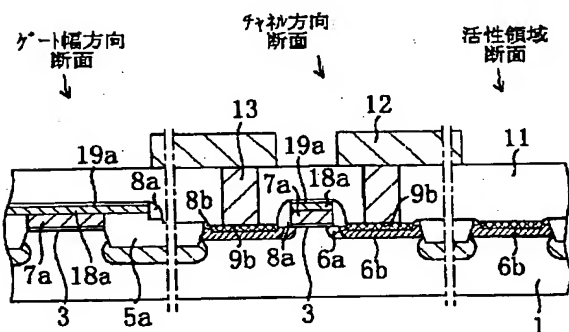
26

- * 1 シリコン基板（半導体基板）
- 3 ゲート酸化膜
- 4 溝部
- 5 a 溝型素子分離
- 6 a 低濃度ソース・ドレイン領域
- 6 b 高濃度ソース・ドレイン領域
- 7 ポリシリコン膜（導体膜）
- 7 a ゲート電極（下部ゲート電極）
- 8 シリコン酸化膜
- 8 a 電極部サイドウォール
- 8 b 段差部サイドウォール
- 9 a 上部ゲート電極
- 9 b ソース・ドレイン電極
- 11 層間絶縁膜
- 12 第 1 層目金属配線
- 13 コンタクト部
- 15 チャンネルストップ領域
- 16 シリコン酸化膜
- 17 シリコン窒化膜（エッチングストップ膜）
- * 20 20, 21 フォトリソグ膜

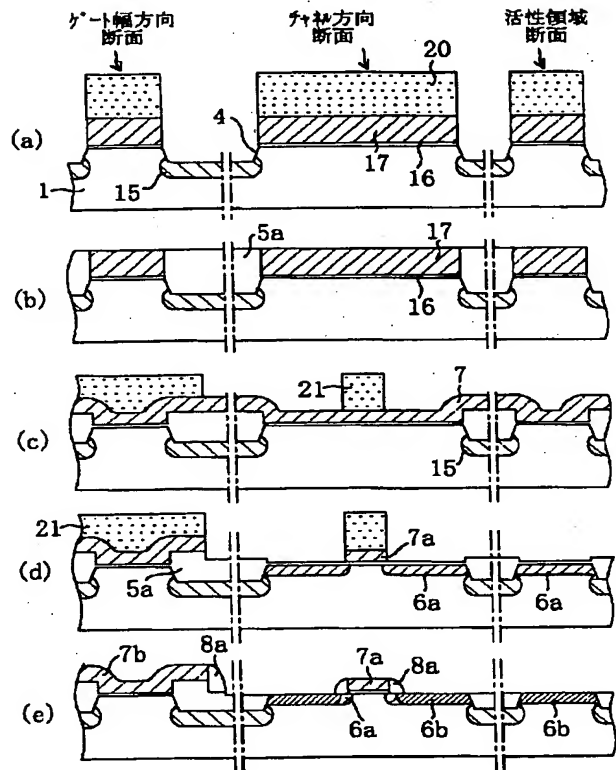
【図 1】



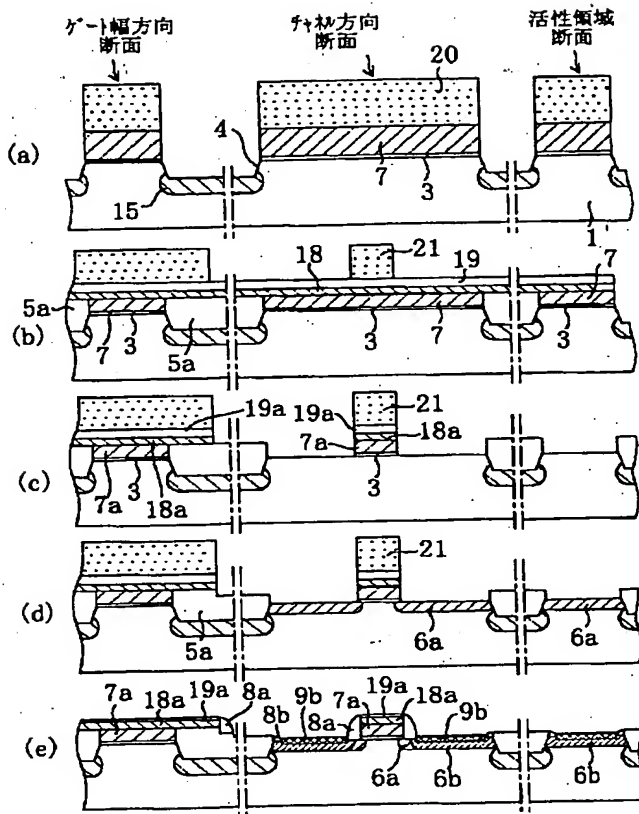
【図 3】



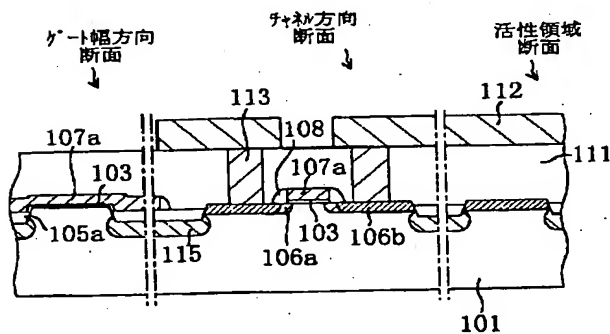
【図 2】



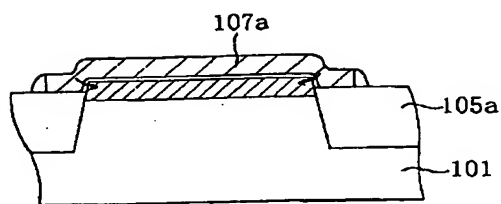
【図 4】



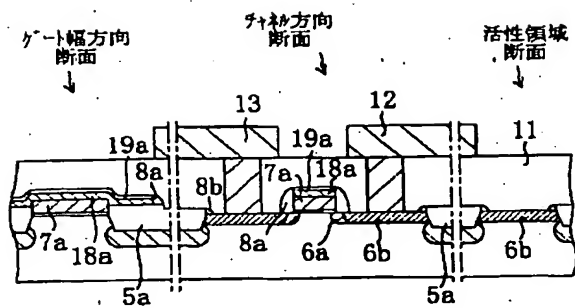
【図 8】



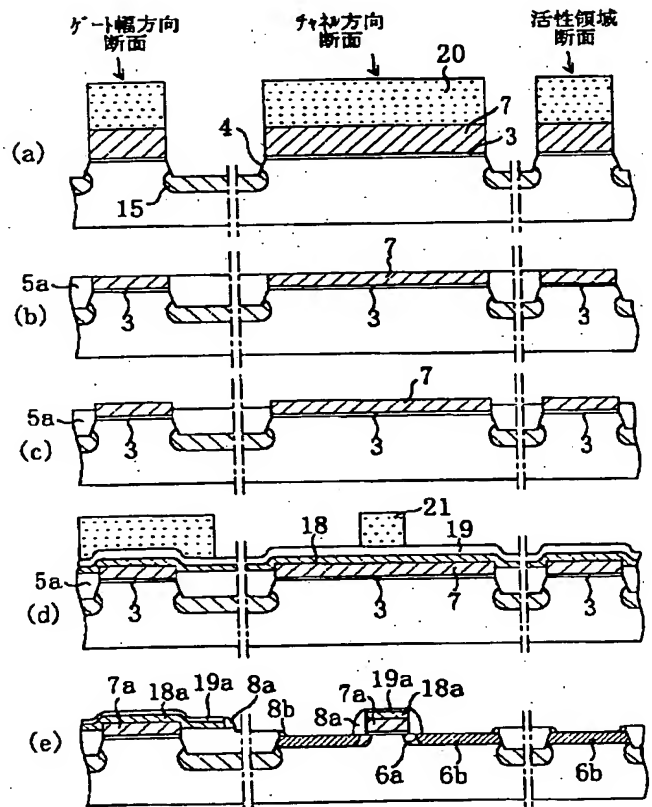
【図 10】



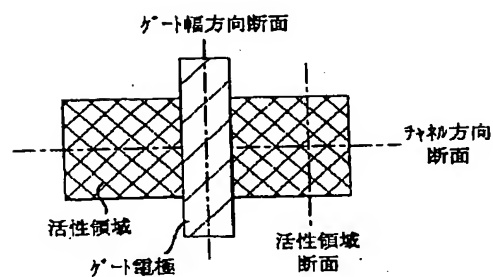
【図 5】



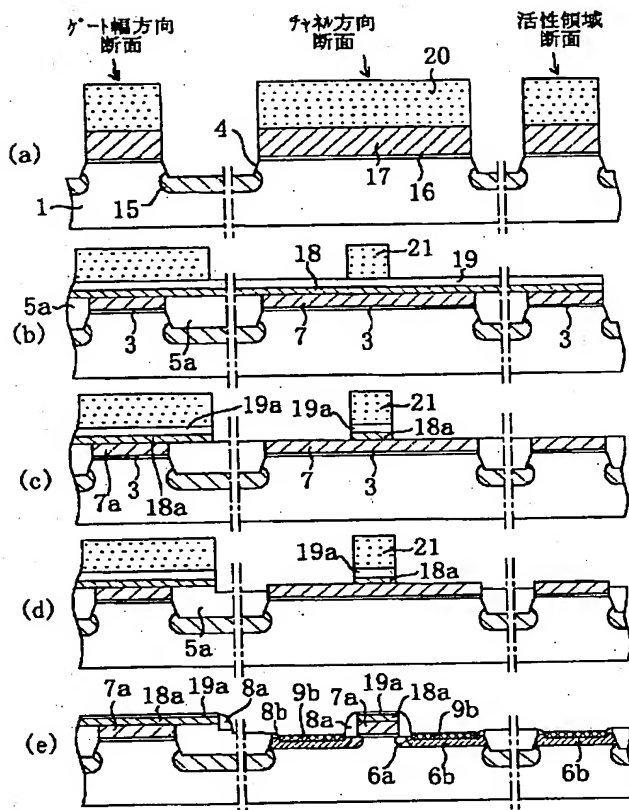
【図 6】



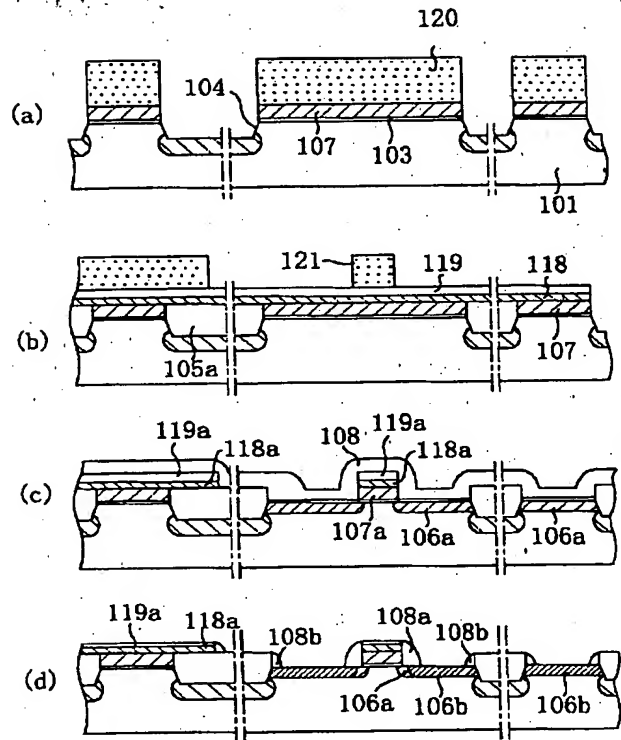
【図 9】



【図 7】



【図 11】



フロントページの続き

(72)発明者 神田 彰弘
大阪府高槻市幸町1番1号 松下電子工業
株式会社内